

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Kyeong-mo KOO et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: October 17, 2003 : Attorney Docket No. SEC.1034CIP
For: METHOD OF FORMING COBALT SILICIDE FILM AND METHOD OF
MANUFACTURING SEMICONDUCTOR DEVICE HAVING COBALT SILICIDE
FILM

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean applications:

Appln. No. 2002-0063567

filed October 17, 2002

Appln. No. 2003-0066498

filed September 25, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of KR 2002-0063567 is submitted herewith. A certified copy of KR 2003-0066498 will be submitted in due course.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: October 17, 2003



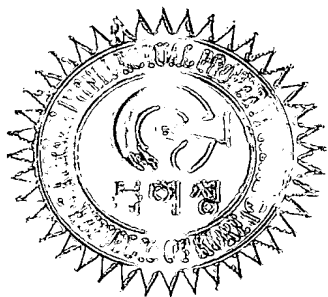
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0063567
Application Number

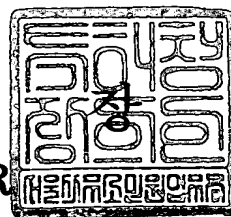
출원년월일 : 2002년 10월 17일
Date of Application OCT 17, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.17
【발명의 명칭】	살리사이드 공정을 사용하는 반도체소자의 제조방법
【발명의 영문명칭】	Method of manufacturing semiconductor device Using salicide process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	엄현일
【성명의 영문표기】	UM,Hyeon I I I
【주민등록번호】	640706-1162626
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동 110 한솔마을청구아파트 111동 1203호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜정
【성명의 영문표기】	PARK,Hye Jeong
【주민등록번호】	761111-2850510
【우편번호】	157-762
【주소】	서울특별시 강서구 등촌3동 등촌주공아파트2단지 (201-206동)204-601
【국적】	KR

【발명자】**【성명의 국문표기】**

구경모

【성명의 영문표기】

K00,Kyeong Mo

【주민등록번호】

681114-1063510

【우편번호】

449-906

【주소】

경기도 용인시 기흥읍 서천리 SK아파트 106동 1004호

【국적】

KR

【심사청구】

청구

【취지】특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김능균 (인)**【수수료】****【기본출원료】**

15 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

10 항 429,000 원

【합계】

458,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 살리사이드공정을 사용하는 반도체소자의 제조방법에 관한 것으로, 본 발명은 반도체기판에 게이트 전극 및 소스/드레인영역을 형성하고, 습식식각 만을 수행하는 단계와; 상기 결과물 전면에 고용점 금속막 및 캡핑막을 순차적으로 형성하는 단계와; 상기 결과물 상에 제1 열처리공정을 진행하여 상기 게이트 전극 및 소스/드레인 영역에 모노 실리사이드 막이 형성되고, 상기 모노 실리사이드 막이 형성된 영역을 제외한 영역의 고용점 금속막 및 캡핑막을 제거하는 단계와; 상기 결과물 상에 제2 열처리공정을 수행하여 상기 다이 실리사이드 막이 형성되는 단계로 이루어진다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

살리사이드 공정을 사용하는 반도체소자의 제조방법{Method of manufacturing semiconductor device Using salicide process}

【도면의 간단한 설명】

도 1 내지 도 4는 본 발명에 따른 살리사이드 공정을 사용하는 반도체소자의 제조방법을 순차적으로 도시한 공정순서도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<2> 본 발명은 살리사이드 공정을 사용하는 반도체소자의 제조방법에 관한 것으로, 더욱 상세하게는 저저항 물질인 살리사이드막을 형성하는 살리사이드 공정을 사용하는 반도체소자의 제조방법에 관한 것이다.

<3> 반도체 소자가 고집적화 됨에 따라 트랜지스터의 게이트 전극의 선폴이 감소되고, 이에 따라 상기 게이트 전극의 저항이 증가한다. 또한, 상기 트랜지스터의 불순물 영역, 즉 소스/드레인의 저항을 증가시킨다. 상기 게이트 전극의 저항 및 상기 소스/드레인 영역의 저항증가는 상기 반도체소자의 동작에 치명적인 영향을 준다.

- <4> 따라서, 상기 저항을 감소시키는 것이 요구되며 이를 위해 상기 게이트 전극 및 상기 소스/드레인 영역의 상부에 저저항물질인 실리사이드막을 형성하는 살리사이드(self-align silicide : salicide) 공정이 널리 사용되고 있다.
- <5> 통상적으로 살리사이드 공정은 게이트 전극 및 소스/드레인 영역을 포함하는 반도체 기판 전면에서 고융점 금속막을 형성한 후 열처리하여 게이트 전극 및 소스/드레인 영역의 상부에만 실리사이드막을 형성하는 방법으로 진행된다.
- <6> 이와 같은 상기 살리사이드 공정에 적합한 금속으로 낮은 고유저항, 얇은 접합부 형성과 낮은 온도에서도 공정가능한 코발트(Co)를 주로 사용하고 있다. 이 코발트를 실리사이드공정에 사용하기 위해서는 코발트 증착 이전에 세정공정으로 습식식각과 RF 스퍼터링 식각공정이 수행된다. 이 습식식각과 RF 스퍼터링 식각공정은 코발트가 증착될 게이트 전극 및 소스/드레인 상에 형성된 자연산화막이 제거되기 위해 수행된다.
- <7> 그러나 상기 습식식각이 수행되는 챔버와 RF 스퍼터링 식각공정이 수행되는 챔버간의 이동으로 인해 파티클이 형성될 수 있고, RF 스퍼터링 식각공정 도중에 발생된 잔류물이 리스퍼터링(resputtering)되어 파티클이 형성될 수도 있다.
- <8> 따라서, 상기와 같이 형성된 파티클은 상기 게이트 전극과 소스/드레인 영역을 포함하는 반도체 기판 전면에서 안착될 수 있는데, 이는 살리사이드 공정 후 코발트 실리사이드 막에 보이드나 피트와 같은 불량을 형성하게 하고, 코발트

실리사이드 막의 원하는 두께를 형성하는 데 어려움을 가지게 하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 상술한 문제점을 해결하기 위한 본 발명의 목적은 파티클의 발생을 억제하여 코발트 실리사이드막 형성시 불량을 방지할 수 있도록 하고, 코발트 실리사이드막의 원하는 두께를 형성할 수 있도록 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법을 제공함에 있다.

<10> 또, 코발트 실리사이드막의 원하는 두께를 보다 안정적으로 형성할 수 있도록 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<11> 상술한 문제점을 해결하기 위한 본 발명의 살리사이드 공정을 사용하는 반도체소자의 제조방법은 반도체기판에 게이트 전극 및 소스/드레인영역을 형성하고, 습식식각 만을 수행하는 단계와; 상기 결과물 전면에 고용점 금속막 및 캡핑막을 순차적으로 형성하는 단계와; 상기 결과물 상에 제1 열처리공정을 진행하여 상기 게이트 전극 및 소스/드레인 영역에 모노 실리사이드 막이 형성되고, 상기 모노 실리사이드 막이 형성된 영역을 제외한 영역의 고용점 금속막 및 캡핑막을 제거하는 단계와; 상기 결과물 상에 제2 열처리공정을 수행하여 상기 다이 실리사이드 막이 형성되는 단계로 이루어진다. 이때, 상기 습식식각은 상기 게이트 전극

및 소스/드레인 영역 상에 형성된 자연산화막을 제거하기 위해 수행하는 공정이
고, 약 200 ~ 300초 정도 식각하는 것이 바람직하며, 상기 캡핑막은 티타늄이 풍
부한 티타늄 리치 티타늄 질화막으로 형성하고, 고용점 금속막은 코발트막으로
형성하는 것이 바람직하며, 상기 제1 열처리공정은 약 450~500℃의 낮은 온도에
서의 RTS(rapid thermal salicidation)공정으로 수행하고, 상기 제2 열처리공정
은 약 750~900℃의 고온에서 RTS(rapid thermal salicidation)공정을 수행하는
것이 바람직하다. 상기 모노 실리사이드 막이 형성된 영역을 제외한 영역의 고용
점 금속 및 티타늄 질화막을 제거하는 공정은 식각을 통해 제거하는 것이 바람직
하다.

<12> 본 발명의 살리사이드 공정을 사용하는 또 다른 반도체소자의 제조방법은
반도체기판에 형성된 게이트 전극 및 소스/ 드레인 영역에 있어서: 상기 실리사
이드막을 형성하기 위한 이전공정으로 상기 게이트 전극 및 소스/드레인 영역에
200 ~ 300초 정도 습식식각만을 수행하는 단계를 구비한다.

<13> 본 발명의 살리사이드 공정을 사용하는 또 다른 반도체소자의 제조방법은
게이트 전극 및 소스/드레인영역이 형성된 반도체 기판 전면에서 고용점 금속막을
형성한 후 열처리하여 게이트 전극 및 소스/드레인영역에만 실리사이드막을 형성
하는 살리사이드공정에 있어서: 상기 고용점 금속막 상부에 캡핑막을 형성하는
것이다.

<14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대해 상세히 설명
한다.

<15> 도 1 내지 도 4는 본 발명에 따른 살리사이드 공정을 사용하는 반도체소자의 제조방법을 순차적으로 도시한 공정순서도이다. 이를 참조하여 그 제조방법을 제4 단계로 구분하여 살펴보면 다음과 같다.

<16> 제1 단계로서, 반도체 기판의 게이트 전극 및 소스/드레인 영역에 이후 수행될 살리사이드공정의 이전 공정인 세정공정이 수행된 상태가 도 1에 도시되어 있다. 이 상태가 형성되는 과정을 상세히 설명하면, 반도체기판(10)에 게이트 산화막(14), 게이트 도전층(16)을 순차적으로 적층하고, 통상적인 사진식각공정을 통해 게이트 영역을 형성한다. 이어, 상기 결과물 상부에 산화막을 형성하고, 이를 에치백공정하여 상기 게이트 영역의 양측벽에만 존재하는 스페이서(18)를 형성하여 게이트 전극(G)을 형성한다. 상기 결과물인 게이트 전극(G)을 마스크로 하여 상기 반도체기판(10)에 도전물질의 이온을 주입함으로써 게이트 전극(G)과 오버랩되는 영역에 소스/드레인영역(20)이 형성된다. 상기과 같이 반도체기판에 게이트전극(G) 및 소스/드레인영역(20)이 형성되면, 이후 수행될 살리사이드 공정의 이전 공정인 세정공정이 진행된다. 이 세정공정은 살리사이드막이 형성될 게이트 전극(G) 및 소스/드레인영역(20)의 상부에 공정진행 도중 형성되는 자연 산화막을 제거하기 위한 공정으로써, 습식식각만이 수행된다. 이때 습식식각은 약 120℃ 정도의 황산(H_2SO_4)과 과수가 6 : 1의 비율로 혼합되어 있는 용액에 580 ~ 620초 동안 게이트 전극(G) 및 소스/드레인 영역(20)이 구비된 반도체기판(10)을 담근 후 HF와 H_2O 를 100 : 1의 비율로 희석시킨 식각액을 사용하며, 200 ~ 300초 정도 식각하는 것이 적절하고, 세정효과가 가장 뛰어난 식각 시간은 약 250초 정도이다. 종래 기술의 습식식각은 본 발명과 동일한 조건의 식

각액으로 약 100초 정도 식각하였으나, 이것으로는 세정효과가 부족하여 RF 스퍼터링 식각을 한 단계 더 수행하게 되고, 이로써 RF 스퍼터링 식각으로 인한 종래 기술의 문제점등이 발생하게 되었다. 따라서, 본 발명에서는 이와 같은 공정 조건으로 습식식각만 진행하면, 종래 기술의 RF 스퍼터링 식각을 수행하지 않아 발생될 수 있는 세정효과의 저하를 극복하고, RF 스퍼터링 식각을 수행함으로써 발생하는 파티클이 억제되어 코발트 실리사이드막 형성시 불량을 방지할 수 있고, 코발트 실리사이드막의 원하는 두께를 형성할 수 있게 된다.

<17> 제2 단계로서, 상기 세정공정이 완료된 게이트 전극(G) 및 소스/드레인영역(20)을 포함한 반도체기판 전면에는 코발트막(Co, 22) 및 티타늄 질화막(TiN, 24)이 형성된 상태가 도 2에 도시되어 있다. 이 상태가 형성되는 과정을 상세히 설명하면, 게이트 전극(G) 및 소스/드레인 영역(20)을 포함한 반도체기판(10)에 세정공정이 완료되면, 게이트 전극(G) 및 소스/드레인 영역(20)을 포함한 반도체기판(10) 전면에는 고융점 금속인 코발트막(22)을 증착 형성한다. 이 코발트막(22)은 약 150Å의 두께로 통상적인 증착법 예를 들어, 스퍼터링법 등을 통해 형성한다. 이어, 동일한 반응챔버 내에서 상기 코발트막(22) 상에 하나의 캡핑막으로서 티타늄질화막(24)을 증착 형성한다. 이 티타늄 질화막(24)은 아르곤가스(Ar) 및 질소가스(N₂)를 1 : 0.1 ~ 1 : 2의 비율로 혼합된 가스를 사용하여 약 100Å 정도의 두께로 증착 형성한다. 이때, 증착된 티타늄 질화막(24)은 통상적인 티타늄 질화막(TiN)에 비해 티타늄이 풍부한 티타늄 리치 티타늄 질화막(Ti-rich TiN, 26)을 사용하는 데, 이는 이후 형성될 코발트 실리사이드막이 작업자가 원하는 두께로 보다 안정적으로 형성될 수 있도록 하기 위해 사용된다.

<18> 제3 단계로서, 상기 제2 단계의 결과물 상에 제1 열처리공정을 진행하면 코발트 모노 실리사이드(CoSi , 26)막이 형성되고, 상기 코발트 모노 실리사이드(CoSi , 26)막이 형성되지 않은 영역이 제거된 상태가 도 3에 도시되어 있다. 이 상태가 형성되는 과정을 상세히 설명하면, 상기 제2 단계의 결과물 상에 제1 열처리 공정을 진행하면, 상기 게이트 전극(G) 및 소스/드레인영역의 상부에 코발트 모노 실리사이드(CoSi , 26)막이 형성된다. 여기서 수행하는 제1 열처리공정은 약 $450 \sim 500^\circ\text{C}$ 의 낮은 온도에서의 RTS(rapid thermal salicidation)공정을 수행한다. 이때, 상기 코발트막(22) 상에 형성된 상기 티타늄 리치 티타늄 질화막(24)은 캡핑층(Capping layer)으로 작용하여 상기 열처리공정시 코발트막(22)의 확산을 방지하고, 코발트 모노실리사이드(CoSi , 26)막 형성 반응속도를 제어하는 역할을 하게 된다. 한편, 상기 코발트막(22)은 제1 열처리공정 동안 상기 소스/드레인영역(20) 및 게이트 전극(G)을 구성하는 도전물질(즉, 게이트 도전층 및 이온주입된 도전물질)과 반응하여 코발트 모노실리사이드 막(CoSi , 26)이 형성된다. 이어서, 제1 열처리공정 후 코발트 모노 실리사이드막(CoSi , 26)이 형성되지 않은 영역 즉, 게이트 전극(G) 상부 및 소스/드레인 영역을 제외한 나머지영역에 형성된 코발트막(22), 티타늄 질화막(24)을 식각을 통해 제거한다. 이때 사용되는 식각액은 황산, 수산화 암모늄 등을 포함한다.

<19> 제4 단계로서, 상기 제3 단계의 결과물인 코발트 모노 실리사이드막(CoSi , 26)에 제2 열처리공정을 진행하면 코발트 다이 실리사이드(CoSi_2 , 26)막이 형성되어 살리사이드공정의 진행이 완료된 상태가 도 4에 도시되어 있다. 이 상태가 형성되는 과정을 상세히 설명하면, 상기 제3 단계의 결과물 상에 제2 열처리 공

정을 진행하면, 상기 코발트 모노 실리사이드(CoSi , 26)막은 코발트 다이 실리사이드($28, \text{CoSi}_2$)를 형성하게 된다. 여기서 수행하는 제2 열처리공정은 약 $750\sim 900^\circ\text{C}$ 의 고온에서의 RTS(rapid thermal salicidation)공정을 수행한다. 따라서, 코발트 모노 실리사이드 막(CoSi)은 더 안정적이고 낮은 고유저항을 가지는 코발트 다이 실리사이드 막($28, \text{CoSi}_2$)을 형성하게 되고, 살리사이드 공정이 완료된다.

<20> 이와 같이 종래기술의 RF 스퍼터링 식각을 수행하지 않아 발생될 수 있는 세정효과의 저하를 습식식각의 공정조건을 다소 강화하여 자연산화막을 제거하여 이후 수행될 코발트 살리사이드막 형성시 불량을 방지할 수 있고, 캡핑막으로 티타늄 리치 티타늄 질화막을 형성함으로써, 코발트 살리사이드막의 원하는 두께를 보다 안정적으로 형성할 수 있다.

【발명의 효과】

<21> 이상에서 살펴본 바와 같이 본 발명은 습식식각만 사용하여 파티클의 발생을 억제함으로써, 코발트 실리사이드막 형성시 불량을 방지하고 코발트 실리사이드막의 원하는 두께를 형성할 수 있도록 하는 효과가 있다.

<22> 또, 본 발명은 캡핑막으로 티타늄 리치 티타늄 질화막을 형성함으로써, 코발트 실리사이드막의 원하는 두께를 보다 안정적으로 형성할 수 있게 되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체기판에 게이트 전극 및 소스/드레인영역을 형성하고, 습식식각 만을 수행하는 단계와;

상기 결과물 전면에 고용점 금속막 및 캡핑막을 순차적으로 형성하는 단계와;

상기 결과물 상에 제1 열처리공정을 진행하여 상기 게이트 전극 및 소스/드레인 영역에 모노 실리사이드 막이 형성되고, 상기 모노 실리사이드 막이 형성된 영역을 제외한 영역의 고용점 금속막 및 캡핑막을 제거하는 단계와;

상기 결과물 상에 제2 열처리공정을 수행하여 상기 다이 실리사이드 막이 형성되는 단계로 이루어지는 것을 특징으로 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 2】

제1 항에 있어서, 상기 습식식각은

상기 게이트 전극 및 소스/드레인 영역 상에 형성된 자연산화막을 제거하기 위해 수행하는 공정인 것을 특징으로 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 3】

제1 항 또는 제2 항에 있어서, 상기 습식식각은
약 200 ~ 300초 정도 식각하는 것을 특징으로 하는 살리사이드 공정을 사용하는
반도체소자의 제조방법.

【청구항 4】

제1 항에 있어서, 상기 캡핑막은
티타늄이 풍부한 티타늄 리치 티타늄 질화막으로 형성하는 것을 특징으로
하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 5】

제1 항에 있어서, 고융점 금속막은
코발트막으로 형성하는 것을 특징으로 하는 살리사이드공정을 사용하는 반
도체소자의 제조방법.

【청구항 6】

제1 항에 있어서, 상기 제1 열처리공정은

약 450~500℃의 낮은 온도에서의 RTS(rapid thermal salicidation)공정으로 수행하는 것을 특징으로 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 7】

제1 항에 있어서, 상기 제2 열처리공정은

약 750~900℃의 고온에서 RTS(rapid thermal salicidation)공정을 수행하는 것을 특징으로 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 8】

제1 항에 있어서, 상기 모노 실리사이드 막이 형성된 영역을 제외한 영역의 고융점 금속 및 티타늄 질화막을 제거하는 공정은

식각을 통해 제거하는 것을 특징으로 하는 살리사이드 공정을 사용하는 반도체소자의 제조방법.

【청구항 9】

반도체기판에 형성된 게이트 전극 및 소스/ 드레인 영역에 있어서:

상기 살리사이드막을 형성하기 위한 이전공정으로 상기 게이트 전극 및 소스/드레인 영역에 200 ~ 300초 정도 습식식각만을 수행하는 단계를 구비한 것을 특징으로 하는 살리사이드공정을 사용하는 반도체소자의 제조방법.

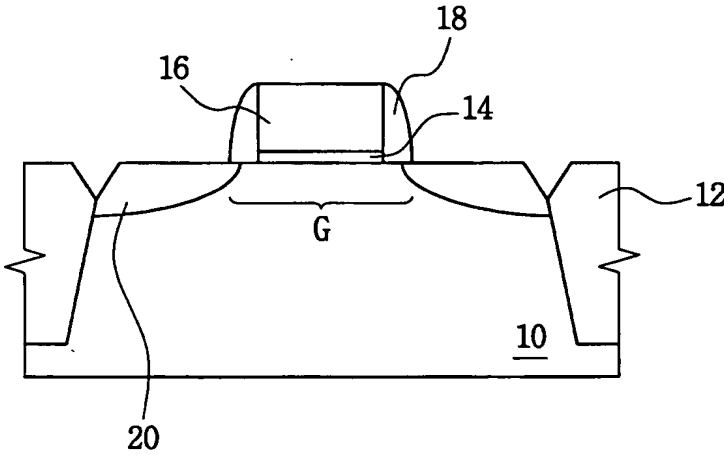
【청구항 10】

게이트 전극 및 소스/드레인영역이 형성된 반도체 기판 전면에 고용점 금속막을 형성한 후 열처리하여 게이트 전극 및 소스/드레인영역에만 살리사이드막을 형성하는 살리사이드공정에 있어서:

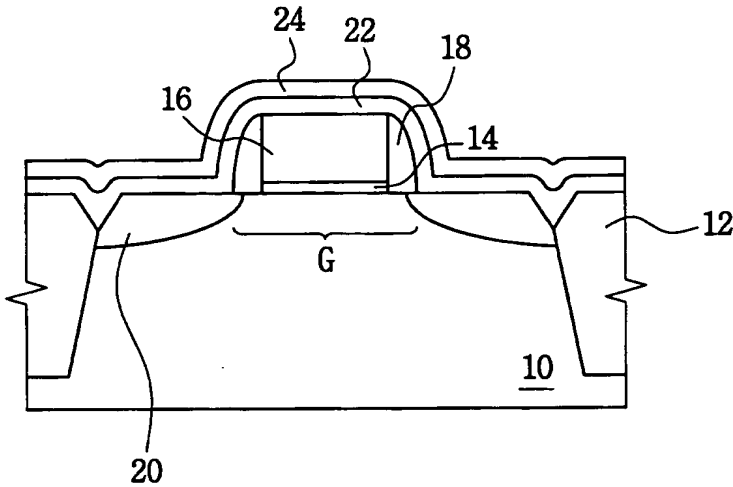
상기 고용점 금속막 상부에 캡핑막을 형성하는 것을 특징으로 하는 살리사이드공정을 사용하는 반도체소자의 제조방법.

【도면】

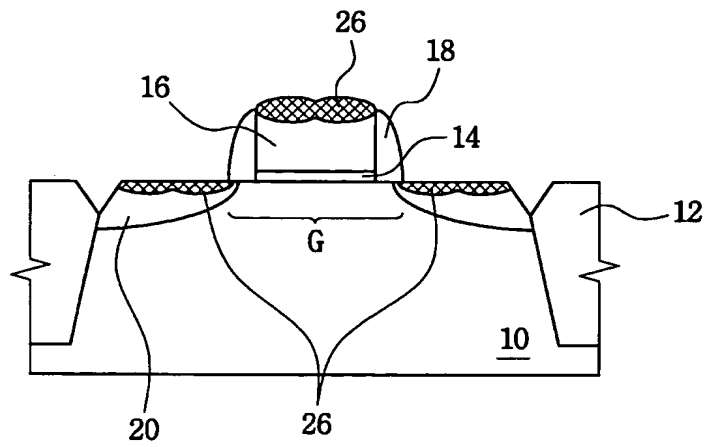
【도 1】



【도 2】



【도 3】



【도 4】

